



(19)

(11) Publication number: **2000232076 A**

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 11032252

(51) Intl. Cl.: H01L 21/28 H01L 21/8234 H01L 27/088  
 H01L 21/8244 H01L 27/11 H01L 27/10  
 H01L 27/108 H01L 21/8242

(22) Application date: 10.02.99

(30) Priority:

(43) Date of application  
 publication: 22.08.00

(84) Designated  
 contracting states:

(71) Applicant: SONY CORP

(72) Inventor: OKAMOTO YUTAKA

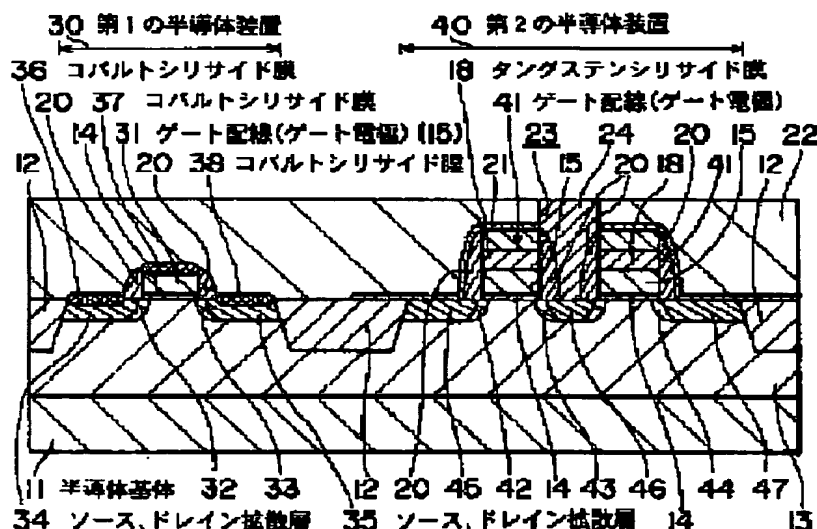
(74) Representative:

(54) SEMICONDUCTOR  
 DEVICE AND ITS  
 MANUFACTURE

(57) Abstract:

**PROBLEM TO BE SOLVED:** To obtain a high speed operation for a semiconductor device by making the device in the form of a high-speed logic, having a silicide structure having a silicided gate electrode and providing operating characteristics equivalent to those of an independent high-speed logic element to the device.

**SOLUTION:** This semiconductor device includes first and second semiconductor devices 30 and 40 on an identical semiconductor substrate 11. In the first device 30, cobalt silicide films 36 to 38 are formed self-aligned on surfaces of source and drain diffused layers 34 and 35 and on an upper surface of a gate wiring 31 as a compound films of a semiconductor and a metal. In the second device 40, a compound film of semiconductor and metal of a tungsten silicide film 18 as a metallic film is formed on an upper part of at least a gate wiring 41. And a nitride silicon film 19 and a sidewall insulating film 20, having an etching rate slower than that of an interlayer insulating film 22, are formed around the gate wiring 41, and a contact hole 23 is made self-aligned therein.



COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-232076

(P2000-232076A)

(43) 公開日 平成12年8月22日 (2000. 8. 22)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 1 L 21/28	3 0 1	H 0 1 L 21/28	3 0 1 D 4 M 1 0 4
			3 0 1 T 5 F 0 4 8
21/8234		27/10	4 8 1 5 F 0 8 3
27/088		27/08	1 0 2 D
21/8244			1 0 2 H
審査請求 未請求 請求項の数15 O L (全 11 頁) 最終頁に続く			

(21) 出願番号 特願平11-32252

(22) 出願日 平成11年2月10日 (1999. 2. 10)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 岡本 裕

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

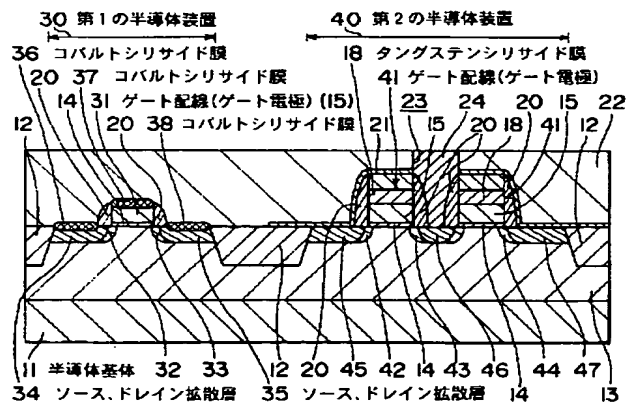
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 高速ロジックのみにサリサイド構造を採用し、メモリ素子に自己整合コンタクト構造を採用して、両方の素子を同一半導体基体に混載することは困難であった。

【解決手段】 ソース、ドレイン拡散層34、35の表面とゲート配線31の上面とに半導体と金属との化合物膜としてコバルトシリサイド膜36～38が自己整合的に形成されている第1の半導体装置30と、少なくともゲート配線41の上部に半導体と金属との化合物膜もしくは金属膜としてタングステンシリサイド膜18が形成されている第2の半導体装置40とを同一の半導体基体11に備えたものであり、ゲート配線41の周囲に層間絶縁膜22よりもエッチング速度の遅い窒化シリコン膜19とサイドウォール絶縁膜20とが形成され、コンタクト孔23が自己整合的に形成されるものである。



**【特許請求の範囲】**

**【請求項1】** 半導体基体に形成されているもので、ソース、ドレイン拡散層の表面とゲート電極の上面とに半導体と金属との化合物膜が自己整合的に形成されている第1の半導体装置と、

前記半導体基体に形成されているもので、少なくともゲート電極の上面に半導体と金属との化合物膜もしくは金属膜が形成されている第2の半導体装置とを備えたことを特徴とする半導体装置。

**【請求項2】** 前記第2の半導体装置のゲート電極の周囲に、前記第2の半導体装置のソース、ドレイン拡散層へ通じるコンタクト孔が形成される絶縁膜よりもエッチング速度の遅い絶縁膜が形成されていることを特徴とする請求項1記載の半導体装置。

**【請求項3】** 前記第2の半導体装置のゲート電極は、半導体と金属との化合物膜もしくは金属膜を少なくとも含む2層以上の膜で構成されていることを特徴とする請求項1記載の半導体装置。

**【請求項4】** 前記第1の半導体装置のゲート電極を構成する半導体膜と、前記第2の半導体装置のゲート電極を構成する半導体膜とは、同一膜で形成されていることを特徴とする請求項1記載の半導体装置。

**【請求項5】** 前記第2の半導体装置はダイナミックRAMのメモリセルを構成していることを特徴とする請求項1記載の半導体装置。

**【請求項6】** 前記第2の半導体装置を覆う状態にシリサイド反応を起こさない膜が形成されていて、前記第1の半導体装置はシリサイド構造に形成されていることを特徴とする請求項5記載の半導体装置。

**【請求項7】** 前記第2の半導体装置はスタティックRAMのメモリセルを構成していることを特徴とする請求項1記載の半導体装置。

**【請求項8】** 前記第2の半導体装置のソース、ドレイン拡散層の表面に、前記第1の半導体装置上および前記第2の半導体装置のゲート電極上に形成されている半導体と金属との化合物膜もしくは金属膜とは別の半導体と金属との化合物膜が形成されていることを特徴とする請求項7記載の半導体装置。

**【請求項9】** 半導体基体に、ゲート電極とソース、ドレイン拡散層とを有する第1の半導体装置と、ゲート電極とソース、ドレイン拡散層とを有する第2の半導体装置とを形成する半導体装置の製造方法において、前記第1の半導体装置のゲート電極を構成する半導体膜と、前記第2の半導体装置のゲート電極を構成する半導体膜とを同一の半導体膜で形成する工程と、前記同一の半導体膜における前記第1の半導体装置を形成する領域上に、前記第2の半導体装置のゲート電極を構成する膜よりもエッチング速度の遅いエッチングストップ膜を形成する工程と、前記第1の半導体装置を形成する領域の前記同一の半導

体膜上を前記エッチングストップ膜で覆った状態で、前記第2の半導体装置のゲート電極をエッチングにより加工した後、前記第1の半導体装置を形成する領域の前記同一の半導体膜を加工して前記第1の半導体装置のゲート電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

**【請求項10】** 前記第2の半導体装置のゲート電極の周囲に、前記第2の半導体装置のソース、ドレイン拡散層へ通じるコンタクト孔が形成される絶縁膜よりもエッチング速度の遅い絶縁膜を形成することを特徴とする請求項9記載の半導体装置の製造方法。

**【請求項11】** 前記第2の半導体装置のゲート電極は、半導体と金属との化合物膜もしくは金属膜を少なくとも含む2層以上の膜で形成することを特徴とする請求項9記載の半導体装置の製造方法。

**【請求項12】** 前記第2の半導体装置でダイナミックRAMのメモリセルを形成することを特徴とする請求項9記載の半導体装置の製造方法。

**【請求項13】** 前記第1の半導体装置を形成する領域の半導体膜を加工して第1の半導体装置のゲート電極を形成した後、前記第2の半導体装置を覆う状態にシリサイド反応を起こさない膜を形成する工程と、前記第1の半導体装置をシリサイド構造に形成する工程とを備えていることを特徴とする請求項12記載の半導体装置の製造方法。

**【請求項14】** 前記第2の半導体装置でスタティックRAMのメモリセルを形成することを特徴とする請求項9記載の半導体装置の製造方法。

**【請求項15】** 前記第2の半導体装置のソース、ドレイン拡散層の表面に、前記第1の半導体装置および前記第2の半導体装置のゲート電極上に形成されている半導体と金属との化合物膜もしくは金属膜とは別個の半導体と金属との化合物膜を形成することを特徴とする請求項14記載の半導体装置の製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、半導体装置およびその製造方法に関し、詳しくはメモリデバイスとロジックデバイスとを混載した半導体装置およびその製造方法に関する。

**【0002】**

**【従来の技術】** システムコストの低減、低消費電力化、高速化を目的に、メモリデバイスとロジックデバイスとを同一チップ内に搭載することが行われている。特に、3次元グラフィック等への応用においては、高速データ転送化を目的として、バンド幅の広いメモリデバイスが必要であり、これは大容量のメモリデバイスを高速ロジックデバイスに混載することによって達成される。

**【0003】** 高速ロジックデバイスにおいては、寄生抵抗、寄生容量の低減を目的としてソース、ドレイン拡散

## 3

層上とゲート電極上とに半導体と金属との化合物を自己整合的に形成したセルフアラインシリサイド〔以下サリサイドという、(Self-Aligned Silicidation)〕が適用され、ソース、ドレイン拡散層の抵抗は数 $\Omega$ まで低減されている。

【0004】一方、メモリデバイスにおいては、メモリサイズの縮小を目的として、コンタクト孔を配線層に対して自己整合的に形成するセルフアラインコンタクト

〔以下SACという、(Self-Aligned Contact)〕が用いられている。特に、近年は、コンタクト孔の形成時に被エッチング膜よりもエッチング速度の遅い絶縁膜で配線層の周りを覆ってからコンタクト孔を開くという製造方法が採用されている。

【0005】

【発明が解決しようとする課題】しかしながら、高速ロジックデバイスとメモリデバイスとを同一半導体基体(同一チップ)上に混載する場合には、次のような問題が生じる。高速ロジック部では、ゲート配線(ゲート電極も含む)とソース、ドレイン拡散層とは同時にサリサイド化されるが、一方、メモリデバイスでは、メモリセルサイズを縮小するために上述したSAC構造を採用しているので、メモリ部のゲート配線(ゲート電極も含む)はエッチング速度の遅い絶縁膜で覆われている。そのため、上記高速ロジック部のサリサイド化の際に、メモリ部のソース、ドレイン拡散層とゲート配線とを同時にサリサイド化することはできない。

【0006】そのため、従来は、次のような方法が用いられていた。高速ロジックデバイスとメモリデバイスの両方にサリサイドゲートを用いず、配線抵抗を低減するために、ポリシリコンと、金属およびシリコンの化合物との2層膜からなる構造(ポリサイドゲート構造)、もしくはポリシリコンと金属との2層以上の膜からなる構造(ポリメタルゲート構造)を用いている。

【0007】この場合、高速ロジックデバイスとメモリデバイスとの混載LSIに用いられている高速ロジックデバイスの各セルを、メモリデバイスを混載しないロジックLSIのものと共通化することができないという問題がある。それは、ポリサイドゲートの場合において、その抵抗をサリサイドゲートと完全に同じにすることは困難であり、またそのトランジスタ特性が両者で異なるからである。

【0008】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置およびその製造方法である。

【0009】本発明の半導体装置は、半導体基体に形成されているもので、ソース、ドレイン拡散層の表面とゲート電極の上面とに半導体と金属との化合物膜が自己整合的に形成されている第1の半導体装置と、同一の半導体基体に形成されているもので、少なくともゲート電極

## 4

の上面に半導体と金属との化合物膜もしくは金属膜が形成されている第2の半導体装置とを備えたものであり、第2の半導体装置のゲート電極の周囲には、その第2の半導体装置のソース、ドレイン拡散層へ通じるコンタクト孔が形成される絶縁膜よりもエッチング速度の遅い絶縁膜が形成されているものである。

【0010】上記半導体装置では、第1の半導体装置のソース、ドレイン拡散層の表面とゲート電極の上面とに半導体と金属との化合物膜が自己整合的に形成されていることから、ゲート電極をシリサイド化したサリサイド構造を有する高速ロジックになり、かつ高速ロジック素子を単独に形成したものと同等の動作特性を有するものとなり、高速動作が得られる。一方、第2の半導体装置のゲート電極の周囲には、その第2の半導体装置のソース、ドレイン拡散層へ通じるコンタクト孔が形成される絶縁膜よりもエッチング速度の遅い絶縁膜が形成されていることから、第2の半導体装置はセルフアラインド・コンタクト(SAC)構造のメモリ素子となる。したがって、高速ロジック素子とメモリ素子とを同一の半導体基体上に混載することが可能になる。

【0011】本発明の半導体装置の製造方法は、半導体基体に、ゲート電極とソース、ドレイン拡散層とを有する第1の半導体装置と、ゲート電極とソース、ドレイン拡散層とを有する第2の半導体装置とを形成する半導体装置の製造方法において、第1の半導体装置のゲート電極を構成する半導体膜と、第2の半導体装置のゲート電極を構成する半導体膜とを同一の半導体膜で形成する工程と、その半導体膜における第1の半導体装置を形成する領域上に、第2の半導体装置のゲート電極を構成する膜よりもエッチング速度の遅いエッチングストップ膜を形成する工程と、第1の半導体装置を形成する領域の半導体膜上にエッチングストップ膜で覆った状態で、第2の半導体装置のゲート電極をエッチングにより加工した後、第1の半導体装置を形成する領域の半導体膜を加工して第1の半導体装置のゲート電極を形成する工程とを備えている。

【0012】また、第1の半導体装置を形成する領域の半導体膜を加工して第1の半導体装置のゲート電極を形成した後、第2の半導体装置を覆う状態にシリサイド反応を起こさない膜を形成し、さらに第1の半導体装置をサリサイド構造に形成する。また、第2の半導体装置のゲート電極の周囲に、第2の半導体装置のソース、ドレイン拡散層へ通じるコンタクト孔が形成される絶縁膜よりもエッチング速度の遅い絶縁膜を形成している。

【0013】上記半導体装置の製造方法では、第1の半導体装置のゲート電極を構成する半導体膜と、第2の半導体装置のゲート電極を構成する半導体膜とを同一の半導体膜で形成し、その同一の半導体膜における第1の半導体装置を形成する領域上に、第2の半導体装置のゲート電極を構成する膜よりもエッチング速度の遅いエッチ

ングストップ膜を形成することから、第2の半導体装置を形成する領域の半導体膜上に、そのゲート電極を構成するポリサイド構造もしくはポリメタル構造を構成する膜を形成することが可能になる。そして第1の半導体装置を形成する領域の半導体膜上をエッチングストップ膜で覆った状態で、第2の半導体装置のゲート電極をエッチングにより加工することから、第2の半導体装置のゲート電極をポリサイド構造もしくはポリメタル構造に加工することが可能になる。

【0014】しかも、第1の半導体装置を形成する領域の半導体膜を加工して第1の半導体装置のゲート電極を形成した後、第2の半導体装置を覆う状態にシリサイド反応を起こさない膜を形成した後、第1の半導体装置をシリサイド構造に形成することから、第1の半導体装置は、高速ロジック単独で形成した場合と同様の特性を有するものとなる。

【0015】また、第2の半導体装置のゲート電極の周囲に、第2の半導体装置のソース、ドレイン拡散層へ通じるコンタクト孔が形成される絶縁膜よりもエッチング速度の遅い絶縁膜を形成することから、第2の半導体装置はセルフアラインド・コンタクト (SAC) 構造のメモリ素子に形成される。

【0016】以上説明したように、第1の半導体装置と第2の半導体装置とを同一半導体基体上に混載することが可能となることから、第1の半導体装置を高速ロジックとし、第2の半導体装置をメモリ素子として同一半導体基体上に混載される。

#### 【0017】

【発明の実施の形態】本発明の半導体装置に係わる第1の実施の形態を、図1の概略構成断面図によって説明する。図1では、一例として、高速ロジックとDRAMとを混載した半導体装置を説明する。

【0018】図1に示すように、N型の半導体基体 (例えばシリコン基体11) には、深さが例えば400nmのトレンチに埋め込まれたフィールド絶縁膜12により素子分離が形成されている。また、半導体基体11には、P型のウェル13とN型のウェル (図示省略) とが形成されていて、その半導体基体11の表面にはゲート絶縁膜14が、例えば10nmの厚さに形成されている。

【0019】上記半導体基体11 (ゲート絶縁膜14) の高速ロジックの形成領域には、例えばポリシリコン膜を200nmの厚さに堆積して形成されている半導体膜15を構成部品とするゲート配線31 (ゲート電極も含む) が形成されている。このゲート配線31の側壁にはサイドウォール絶縁膜20が形成されている。

【0020】上記ゲート配線31の一方側の半導体基体11には、LDD32を介してソース、ドレイン拡散層34が形成され、他方側の半導体基体11には、LDD33を介してソース、ドレイン拡散層35が形成されて

いる。上記LDD32、33は、半導体基体11に例えばヒ素を $3 \times 10^{14} / \text{cm}^2$ のドーズ量でイオン注入して形成されている。また、上記ソース、ドレイン拡散層34、35は、半導体基体11に例えばヒ素を $3 \times 10^{15} / \text{cm}^2$ のドーズ量でイオン注入して形成されている。なおゲート配線31中にも上記ヒ素がドーピングされている。

【0021】上記ソース、ドレイン拡散層34上には、半導体と金属との化合物膜として、例えばコバルトシリサイド膜36が形成され、同様にソース、ドレイン拡散層35上にもコバルトシリサイド膜38が形成され、ゲート配線31上にもコバルトシリサイド膜37が形成されている。このように、シリサイド構造となっている第1に半導体装置30が形成されている。

【0022】一方、上記半導体基体11 (ゲート絶縁膜14) のDRAMの形成領域には、ゲート配線31を構成する半導体膜15と同一層のポリシリコン膜のものからなる半導体膜15が形成されていて、ゲート配線41 (ゲート電極も含む) の一部を構成している。この半導体膜15には、N型の不純物として例えばリンが $3 \times 10^{15} / \text{cm}^2$ のドーズ量でドーピングされている。また上記半導体膜15上には、半導体と金属との化合物膜もしくは金属膜が形成されている。ここでは、一例として、半導体と金属との化合物膜のタングステンシリサイド膜18が例えば150nmの厚さに形成されている。さらに窒化シリコン膜19が形成されている。このように、ゲート配線41は、ポリシリコン膜からなる半導体膜15とその上部に形成したタングステンシリサイド膜18とからなり、さらに窒化シリコン膜19が形成されている。このゲート配線41の側壁にはサイドウォール絶縁膜20が形成されている。

【0023】上記ゲート配線41 (41a) の一方側の半導体基体11には、LDD42を介してソース、ドレイン拡散層45が形成され、他方側の半導体基体11にはLDD43を介してソース、ドレイン拡散層46が形成され、このソース、ドレイン拡散層46は、ゲート配線41 (41b) の一方側の半導体基体11に、LDD43を介して形成されるソース、ドレイン拡散層46と共用している。さらに他方側の半導体基体11には、LDD44を介してソース、ドレイン拡散層47が形成されている。このように、第2の半導体装置40が形成されている。

【0024】上記各LDD42~44は、半導体基体11にリンを $3 \times 10^{13} / \text{cm}^2$ のドーズ量でドーピングして得たものであり、上記各ソース、ドレイン拡散層45~47は、半導体基体11にリンを $3 \times 10^{13} / \text{cm}^2$ のドーズ量でドーピングして得たものである。

【0025】さらに、上記第2の半導体装置40を覆う状態にシリサイド反応を起こさない膜として、例えば酸化シリコン膜21が30nmの厚さに形成されている。

また、半導体基体 11 上には、上記第 1、第 2 の半導体装置 30、40 を覆う状態に層間絶縁膜 22 が、例えば 600 nm の厚さの酸化シリコン膜で形成されている。なお、上記層間絶縁膜 22 の表面は平坦化されている。

【0026】さらに、層間絶縁膜 22 には、DRAM の形成領域における上層配線層とのコンタクト孔 23 が自己整合的に形成されている。ここでは、窒化シリコン膜からなるサイドウォール絶縁膜 20 およびゲート配線 41 上の窒化シリコン膜 19 がエッチングストップとなつて、コンタクト孔 23 が自己整合的に形成されている。上記コンタクト孔 23 の内部にはプラグ 24 が形成されている。

【0027】このように、高速ロジックの形成領域に第 1 の半導体装置 30 が形成され、DRAM の形成領域にメモリセルとなる第 2 の半導体装置 40 が形成され、システム LSI が構成されている。

【0028】上記半導体装置では、第 1 の半導体装置 30 のソース、ドレイン拡散層 34、35 の表面とゲート配線（ゲート電極も含む）31 の上面とに半導体と金属との化合物膜、すなわち上記の場合にはコバルトシリサイド膜 36～38 が自己整合的に形成されていることから、ゲート配線 31 をシリサイド化したサリサイド構造を有する高速ロジックになり、かつ高速ロジック素子を単独に形成したものと同等の動作特性を有するものとなつていて、高速動作が得られる。

【0029】一方、第 2 の半導体装置 40 のゲート配線（ゲート電極も含む）41 の周囲には、ソース、ドレイン拡散層 46 へ通じるコンタクト孔 23 が形成される層間絶縁膜 22 よりもエッチング速度の遅い絶縁膜として、窒化シリコン膜からなるサイドウォール絶縁膜 20 と窒化シリコン膜 19 とが形成されていることから、第 2 の半導体装置 40 はセルフアラインド・コンタクト（SAC）構造のメモリ素子となる。そのため、コンタクト孔 23 とゲート配線 41 との距離を縮めてメモリセルサイズの縮小化が図れる。

【0030】なお、高速ロジックの第 1 の半導体装置 30 は、ゲート配線 31 とソース、ドレイン拡散層 34、35 とをコバルトシリサイド化し、DRAM のメモリ素子は、ゲート配線 41 にタングステンシリサイド膜 18 とポリシリコン膜からなる半導体膜 15 との 2 層からなるタングステンポリサイド構造を用い、ソース、ドレイン拡散層 45～47 は通常の不純物をドーピングしたシリコン層を用いる。つまり、ソース、ドレイン拡散層 45～47 にはサリサイドを用いていない。このようにソース、ドレイン拡散層 45～47 をサリサイド化しないのは、サリサイド化による接合リーク電流の増加によりデータ保持特性を悪化させてしまうからである。

【0031】次に、本発明の半導体装置に係わる第 2 の実施の形態を、図 2 の概略構成断面図によって説明する。図 2 では、一例として、高速ロジックと SRAM と

を混載した半導体装置を説明する。

【0032】図 2 に示すように、N 型の半導体基体（例えばシリコン基体 11）には、深さが例えば 400 nm のトレンチにフィールド絶縁膜 12 が埋め込まれている。また、半導体基体 11 には、P 型のウエル 13 と N 型のウエル（図示省略）とが形成されていて、その半導体基体 11 の表面にはゲート酸化膜 14 が、例えば 10 nm の厚さに形成されている。

【0033】上記半導体基体 11（ゲート絶縁膜 14）の高速ロジックの形成領域には、例えばポリシリコン膜を 200 nm の厚さに堆積して形成されている半導体膜 15 を構成部品とするゲート配線 31 が形成されている。このゲート配線 31 の側壁にはサイドウォール絶縁膜 20 が形成されている。

【0034】上記ゲート配線 31 の一方側の半導体基体 11 には、LDD 32 を介してソース、ドレイン拡散層 34 が形成され、他方側の半導体基体 11 には、LDD 33 を介してソース、ドレイン拡散層 35 が形成されている。上記 LDD 32、33 は、半導体基体 11 に例えばヒ素を  $3 \times 10^{14} / \text{cm}^2$  のドーズ量でイオン注入して形成されている。また、上記ソース、ドレイン拡散層 34、35 は、半導体基体 11 に例えばヒ素を  $3 \times 10^{15} / \text{cm}^2$  のドーズ量でイオン注入して形成されている。なおゲート配線 31 中にも上記ヒ素がドーピングされている。

【0035】上記ソース、ドレイン拡散層 34 上に、半導体と金属との化合物膜からなるコバルトシリサイド膜 36 が形成され、ソース、ドレイン拡散層 35 上にコバルトシリサイド膜 38 が形成され、ゲート配線 31 上にコバルトシリサイド膜 37 が形成されている。このように、サリサイド構造となっている第 1 に半導体装置 30 が形成されている。

【0036】一方、上記半導体基体 11（ゲート絶縁膜 14）の SRAM の形成領域には、ゲート配線 31 を構成する半導体膜 15 と同一層のポリシリコン膜からなる半導体膜 15 が形成されていて、ゲート配線 41 の一部を構成している。この半導体膜 15 には、N 型の不純物として例えばリンが  $3 \times 10^{15} / \text{cm}^2$  のドーズ量でドーピングされている。また上記半導体膜 15 上には、半導体と金属との化合物膜もしくは金属膜が形成されている。ここでは、一例として、半導体と金属との化合物膜のタングステンシリサイド膜 18 が例えば 150 nm の厚さに形成されている。さらに窒化シリコン膜 19 が形成されている。このように、ゲート配線 41 は、ポリシリコン膜からなる半導体膜 15 とその上部に形成したタングステンシリサイド膜 18 とからなり、さらに窒化シリコン膜 19 が形成されている。このゲート配線 41 の側壁にはサイドウォール絶縁膜 20 が形成されている。

【0037】上記ゲート配線 41（41a）の一方側の半導体基体 11 には、LDD 42 を介してソース、ドレ

イン拡散層 45 が形成され、他方側の半導体基体 11 には LDD 43 を介してソース、ドレイン拡散層 46 が形成され、このソース、ドレイン拡散層 46 は、ゲート配線 41 (41b) の一方側の半導体基体 11 に、LDD 43 を介して形成されるソース、ドレイン拡散層 46 と共用している。さらに他方側の半導体基体 11 には、LDD 44 を介してソース、ドレイン拡散層 47 が形成されている。上記ソース、ドレイン拡散層 45~47 上にコバルトシリサイド膜 48~50 が形成されている。このように、第 2 の半導体装置 40 が形成されている。

【0038】上記各 LDD 42~44 は、第 1 の半導体装置 30 の LDD 32、33 と同様な条件でイオン注入すればよく、上記各ソース、ドレイン拡散層 45~47 は、第 1 の半導体装置 30 のソース、ドレイン拡散層 45~47 と同様な条件でイオン注入すればよい。

【0039】また、半導体基体 11 上には、上記第 1、第 2 の半導体装置 30、40 を覆う状態に層間絶縁膜 22 が、例えば 600 nm の厚さの酸化シリコン膜で形成されている。なお、上記層間絶縁膜 22 の表面は平坦化されている。さらに、層間絶縁膜 22 には、DRAM の形成領域における上層配線とのコンタクト孔 23 が自己整合的に形成されている。ここでは、窒化シリコン膜からなるサイドウォール絶縁膜 20 およびゲート配線 41 上の窒化シリコン膜 19 がエッチングストップとなつて、コンタクト孔 23 が自己整合的に形成されている。このコンタクト孔 23 の内部にはプラグ 24 が形成されている。

【0040】このように、第 1 の半導体装置 30 で高速ロジックを構成し、第 2 の半導体装置 40 で SRAM のメモリセルを構成しているシステム LSI が形成されている。

【0041】上記第 2 の実施の形態でも、前記第 1 の実施の形態で説明したのと同様な作用効果が得られる。なお、第 2 の半導体装置 40 のソース、ドレイン拡散層 45~47 にコバルトシリサイド膜 48~50 が形成されているが、SRAM の場合には、十分なデータ保持能力があるため、コバルトシリサイド膜 48~50 を形成しても差し支えない。

【0042】次に、本発明の半導体装置の製造方法に係わる第 1 の実施の形態を、図 3~図 5 の製造工程図によって説明する。図 3~図 5 では、一例として、前記図 1 によって説明した高速ロジックと DRAM とを混載した半導体装置の製造方法を説明する。図 3~図 5 では、前記図 1 によって説明した構成部品と同様のものには同一符号を付与して示す。

【0043】図 3 の (1) に示すように、例えば通常のトレンチ素子分離技術を用いて、N 型の半導体基体 (例えばシリコン基体 11) に形成した深さが例えば 400 nm のトレンチにフィールド絶縁膜 12 を埋め込む。なお、半導体基体 11 の表面を、例えば化学的機械研磨に

よって平坦化しておくことが好ましい。

【0044】次いで、例えばイオン注入法によって、P 型のウエル 13 と N 型のウエル (図示省略) とを形成する。その際、レジスト塗布およびリソグラフィー技術によって、P 型のウエル 13 を形成する場合には N 型のウエルの形成領域を覆うレジストマスクを形成しておき、N 型のウエルを形成する場合には P 型のウエル 13 の形成領域を覆うレジストマスクを形成しておく。その後、例えば 900℃ の水蒸気雰囲気中で、半導体基体 11 の表面にゲート酸化膜 14 を、例えば 10 nm の厚さに形成する。

【0045】次に、図 3 の (2) に示すように、例えば CVD 法によって、半導体基体 11 (ゲート絶縁膜 14) 上に、ゲート電極またはその一部を形成するための半導体膜 15 を、例えばポリシリコン膜を 200 nm の厚さに堆積して形成する。続いて CVD 法によって、半導体膜 15 上に、DRAM のゲート電極をエッチング加工する際にマスクとなるエッチングストップ膜 16 を形成する。このエッチングストップ膜 16 は、DRAM のゲート電極をエッチング加工する際にマスクとなればよく、すなわち、DRAM のゲート電極を構成する膜よりもエッチングレートが遅い膜であればよい。そこで、エッチングストップ膜 16 は、例えば 20 nm の厚さの酸化シリコン膜で形成する。

【0046】そして通常のレジストマスクを形成する技術によって、高速ロジックの形成領域を覆うレジスト膜 17 を形成した後、そのレジスト膜 17 をマスクにして例えばエッチングにより、DRAM の形成領域のエッチングストップ膜 16 を選択的に除去する。

【0047】次いで、例えばイオン注入法によって、DRAM の形成領域の半導体膜 15 に N 型の不純物として例えばリンを、一例として、打ち込みエネルギーを 30 keV、ドーズ量を  $3 \times 10^{15} / \text{cm}^2$  に設定して、イオン注入して N 型にする。

【0048】次いで、図 3 の (3) に示すように、例えば CVD 法によって、上記半導体膜 15 および上記エッチングストップ膜 16 上に、例えばタングステンシリサイド膜 18 を 150 nm の厚さに堆積した後、さらに CVD 法によって窒化シリコン膜 19 を堆積する。そして通常のレジスト塗布、リソグラフィー技術により、DRAM の形成領域のゲート配線層をパターンニングするためのマスクをレジスト膜 (図示省略) で形成した後、そのレジスト膜をエッチングマスクに用いて、上記窒化シリコン膜 19、タングステンシリサイド膜 18 および半導体膜 15 をエッチングして、ゲート配線 41 を形成する。このエッチングでは、DRAM の形成領域以外の部分では、半導体膜 15 上には酸化シリコン膜からなるエッチングストップ膜 16 が形成されているので、このエッチングストップ膜 16 上で上記エッチングは停止する。

【0049】その後、例えばイオン注入法によって、DRAMの形成領域における半導体基体11（ウェル領域）に、N型のLDD42、43、44を形成する。このときのイオン注入条件としては、一例として、ドーパントにリンを用い、打ち込みエネルギーを30keV、ドーズ量を $3 \times 10^{13} / \text{cm}^2$ に設定した。

【0050】次いで図4の（4）に示すように、通常のレジスト塗布、リソグラフィ技術により、高速ロジックの形成領域のゲート配線層をパターンニングするためのマスクをレジスト膜（図示省略）で形成した後、そのレジスト膜をエッチングマスクに用いて、上記酸化シリコンからなるエッチングストップ膜16およびポリシリコンからなる半導体膜15を連続的にエッチングして、ゲート配線31を形成する。

【0051】その後、例えばイオン注入法によって、P型のLDD（図示省略）と高速ロジックの形成領域におけるN型のLDD32、33とを形成する。その際、P型のLDDを形成する場合には、一例として、ドーパントに二フッ化ホウ素（BF<sub>2</sub>）を用い、打ち込みエネルギーを50keV、ドーズ量を $3 \times 10^{14} / \text{cm}^2$ の条件でイオン注入する。また、N型のLDD32、33を形成する場合には、一例として、ドーパントにヒ素を用い、打ち込みエネルギーを50keV、ドーズ量を $3 \times 10^{14} / \text{cm}^2$ の条件でイオン注入する。

【0052】なお、上記各イオン注入の際には、レジスト塗布およびリソグラフィ技術によって、P型のLDDを形成する場合にはN型のLDDの形成領域、DRAMの形成領域等を覆うレジストマスクを形成しておき、N型のLDDを形成する場合にはP型のLDDの形成領域、DRAMの形成領域等を覆うレジストマスクを形成しておく。またイオン注入の際には、ゲート配線31もマスクとなる。

【0053】図4の（5）に示すように、例えばCVD法によって、各ゲート配線31、41を覆う状態に、窒化シリコン膜を例えば150nmの厚さに堆積する。そして全面エッチングすることによって窒化シリコン膜をエッチバックし、各ゲート配線31、41の側壁にサイドウォール絶縁膜20を形成する。この時、DRAMの形成領域以外の部分では、ゲート配線31上に残存していた酸化シリコン膜からなるエッチングストップ膜16（前記図4の（4）参照）も同時に除去される。

【0054】その後、例えばイオン注入法によって、P型のトランジスタの形成領域におけるゲート配線（図示省略）の両側の半導体基体にP型のソース、ドレイン領域（図示省略）を形成する。またDRAMの形成領域におけるゲート配線41の両側の半導体基体11に、上記LDD42～44を各ゲート電極41側に介してソース、ドレイン拡散層45～47を形成する。具体的には、ゲート配線41（41a）の一方側の半導体基体11に、上記LDD42を介してソース、ドレイン拡散層

45を形成し、他方側に上記LDD43を介してソース、ドレイン拡散層46を形成し、ゲート配線41（41b）の一方側の半導体基体11に、上記LDD43を介してソース、ドレイン拡散層46（前記ソース、ドレイン拡散層46と同一）を形成し、他方側に上記LDD44を介してソース、ドレイン拡散層47を形成する。このようにして、第2の半導体装置40を形成する。

【0055】さらに高速ロジックの形成領域におけるゲート配線31の一方側の半導体基体11にLDD32を介してソース、ドレイン拡散層34を形成し、他方側の半導体基体11にLDD33を介してソース、ドレイン拡散層35を形成する。このようにして、第1に半導体装置30を形成する。

【0056】P型領域のソース、ドレイン拡散層（図示省略）を形成する場合には、ドーパントに二フッ化ホウ素（BF<sub>2</sub>）を用い、打ち込みエネルギーを50keV、ドーズ量を $3 \times 10^{15} / \text{cm}^2$ の条件でイオン注入する。

【0057】高速ロジックの形成領域におけるN型領域のソース、ドレイン拡散層34、35を形成する場合には、ドーパントにヒ素を用い、打ち込みエネルギーを50keV、ドーズ量を $3 \times 10^{15} / \text{cm}^2$ の条件でイオン注入する。

【0058】DRAMの形成領域におけるN型領域のソース、ドレイン拡散層45～47を形成する場合には、ドーパントにリンを用い、打ち込みエネルギーを30keV、ドーズ量を $3 \times 10^{13} / \text{cm}^2$ の条件でイオン注入する。

【0059】上記イオン注入では、DRAM以外の部分では、同時にゲート配線31中にも不純物がドーピングされる。

【0060】そして、例えば900℃の窒素雰囲気中で20分間の熱処理を行うことによって不純物を活性化し、各ソース、ドレイン拡散層45～47、34、35を形成する。

【0061】次いで、図4の（6）に示すように、半導体基体11上の全面に、シリサイド反応を起こさない膜として、例えば酸化シリコン膜21を30nmの厚さに堆積する。その後、通常のレジスト塗布、リソグラフィ技術によって、DRAMの形成領域を覆うレジストパターン（図示省略）を形成した後、そのレジストパターンをマスクに用いて酸化シリコン膜21をエッチングし、DRAMの形成領域以外の酸化シリコン膜21を除去する。すなわち、酸化シリコン膜21を第2の半導体装置40を覆う状態に残す。

【0062】そして、スパッタリングによって、半導体基体11上の全面に、例えばコバルト膜を30nmの厚さに堆積した後、熱処理を施すことによって、コバルト膜と直接に接しているシリコン上およびポリシリコン膜上にコバルトシリサイド膜36、37、38を形成す



る。すなわち、ソース、ドレイン拡散層 34 上にコバルトシリサイド膜 36 が形成され、ソース、ドレイン拡散層 35 上にコバルトシリサイド膜 38 が形成され、ゲート配線 31 上にコバルトシリサイド膜 37 が形成される。その後、硫酸と過酸化水素水のエッチング溶液中に半導体基体 11 を浸漬してシリサイド化されていない領域のコバルトを除去する。

【0063】次いで図 5 の (7) に示すように、例えば、CVD 法によって、半導体基体 11 上に層間絶縁膜 22 となる酸化シリコン膜を例えば 600 nm の厚さに堆積する。その後、CMP 法を用いて上記層間絶縁膜 22 の表面を平坦化する。さらに、既知の層間絶縁膜 22 にコンタクト孔を形成するプロセス（レジスト塗布、リソグラフィ技術によるレジストマスクの形成およびそのレジストマスクを用いたエッチング）によって、DRAM の形成領域における上層配線とのコンタクト孔 23 を開口する。ここでは、窒化シリコン膜からなるサイドウォール絶縁膜 20 およびゲート配線 41 上の窒化シリコン膜 19 に対してエッチングレートが大きいエッチング条件で、層間絶縁膜 22 を構成する酸化シリコン膜のエッチングを行うことによって、下地の窒化シリコン膜がマスクになるようなコンタクト孔 23 自己整合的に形成する。

【0064】その後、図 5 の (8) に示すように、従来から知られているプロセスを用いて、上記コンタクト孔 23 の内部にプラグ 24 を形成する。さらに DRAM のキャパシタ 51 を形成した後、そのキャパシタ 51 を覆う状態に層間絶縁膜 52 を形成する。次いで高速ロジックの形成領域のソース、ドレイン拡散層 35 に通じるコンタクト孔 53 を層間絶縁膜 52、22 等に形成した後、そのコンタクト孔 53 の内部を埋め込みプラグ 54 を形成する、さらに層間絶縁膜 52 上に金属配線 55 を形成して高速ロジックと DRAM とを混載したシステム LSI が形成される。

【0065】上記半導体装置の製造方法に係わる第 1 の実施の形態では、第 1 の半導体装置 30 のゲート配線（ゲート電極）31 を構成する半導体膜 15 と、第 2 の半導体装置 40 のゲート配線（ゲート電極）41 を構成する半導体膜 15 とを同一の膜で形成し、その半導体膜 15 における第 1 の半導体装置 30 を形成する領域上に、ゲート配線 41 を構成する膜よりもエッチング速度の遅いエッチングストップ膜 16 を形成することから、第 2 の半導体装置 40 のゲート配線 41 を半導体膜 15 を用いたポリサイド構造もしくはポリメタル構造に形成することが可能になる。そして第 1 の半導体装置 30 を形成する領域の半導体膜 15 上をエッチングストップ膜 16 で覆った状態で、ゲート配線 41 をエッチングにより加工することから、ゲート配線 41 をポリサイド構造もしくはポリメタル構造に加工することが可能になる。

【0066】しかも、第 1 の半導体装置 30 を形成する

領域の半導体膜 15 を加工してゲート配線 31 を形成した後、第 2 の半導体装置 40 を覆う状態にシリサイド反応を起こさない膜として酸化シリコン膜 21 を形成し、その後、第 1 の半導体装置 30 をシリサイド構造に形成することから、第 1 の半導体装置 30 は、高速ロジック単独で形成した場合と同様の特性を有するものとなる。

【0067】また、第 2 の半導体装置 40 のゲート配線 41 の周囲に、ソース、ドレイン拡散層 46 へ通じるコンタクト孔 23 が形成される層間絶縁膜 22 よりもエッチング速度の遅い絶縁膜として、窒化シリコン膜からなるサイドウォール絶縁膜 20 と窒化シリコン膜 19 とを形成することから、第 2 の半導体装置 40 はセルフアラインド・コンタクト（SAC）構造のメモリ素子に形成される。

【0068】以上説明したように、第 1 の半導体装置 30 と第 2 の半導体装置 40 とを同一半導体基体 11 上に混載することが可能となることから、第 1 の半導体装置 30 を高速ロジックとし、第 2 の半導体装置 40 をメモリ素子として同一半導体基体 11 上に混載される。

【0069】次に、本発明の半導体装置の製造方法に係わる第 2 の実施の形態を説明する。ここでは、一例として、前記図 2 によって説明した高速ロジックと SRAM とを混載した半導体装置の製造方法を説明する。以下の説明では、前記図 2 によって説明した構成部品と同様のものには同一符号を付与する。

【0070】この構造の製造方法は、前記図 3～図 5 によって説明した製造方法において、前記図 4 の (6) によって説明した酸化シリコン膜 21 を形成しない。そして、第 1 の半導体装置 30 のコバルトシリサイド膜 36～38 と同時に、SRAM 部のソース、ドレイン領域 45～47 にも、図 2 に示すように、コバルトシリサイド膜 48～50 を形成すればよい。また SRAM のソース、ドレインは DRAM のソース、ドレインとは異なり、高速ロジック部と同じ条件で不純物をイオン注入すればよい。

【0071】上記高速ロジックとなる第 1 の半導体装置 30 は、ゲート配線 31 上と、ソース、ドレイン拡散層 34、35 の表面をコバルトシリサイド化し、SRAM 部は、ゲート配線 41 にタングステンシリサイド膜 18 とポリシリコン膜からなる半導体膜 15 との 2 層からなるタングステンポリサイド構造を用い、ソース、ドレイン拡散層 45～47 にはコバルトシリサイド膜 48～50 を形成したシリサイド構造を用いる。このような構成の SRAM においては、特に、6 トランジスタ型のメモリセルを用いた場合は、ソース、ドレイン拡散層 45～47 のシリサイド化による接合リーク電流の増加があってもデータ保持特性の悪化は問題にはならない。

【0072】また、上記ポリサイド構造のゲート配線 41 では、その周囲を窒化シリコン膜 19 および窒化シリコン膜空なるサイドウォール絶縁膜 20 で覆っているこ

とから、その後のソース、ドレイン拡散層 46 に通じるコンタクト孔 23 の形成時に、上記窒化シリコン膜がエッチングストップとなってエッチングを停止する。そのため、ゲート配線 41 に対してセルフアラインでコンタクト孔 23 が形成され、コンタクト孔 23 とゲート配線 41 との距離を縮めてメモリセルサイズの縮小が可能になる。

【0073】上記ゲート配線 41 には、タングステンシリサイド膜 18 を用いたが、そのかわりに、チタンシリサイド膜、コバルトシリサイド膜、モリブデンシリサイドのうちの少なくとも 1 種、もしくはタングステンシリサイド膜も含めて複数種を用いたポリサイド構造とすることが可能である。または、チタン膜、タングステン膜、タンタル膜、コバルト膜、アルミニウム膜および銅膜のうちの少なくとも 1 種もしくは複数種を用いたポリメタル構造とすることも可能である。ポリメタル構造の場合、ポリシリコン膜と金属膜との間に、窒化タングステン、窒化チタン、窒化タンタル等のバリアメタルを形成することが好ましい。

【0074】

【発明の効果】以上、説明したように本発明の半導体装置によれば、第 1 の半導体装置のソース、ドレイン拡散層の表面とゲート電極の上面とに半導体と金属との化合物膜が自己整合的に形成されているので、ゲート電極をシリサイド化したサリサイド構造を有する高速ロジックになり、かつ高速ロジック素子を単独に形成したものと同等の動作特性を有するものとなって、高速動作が得られる。一方、第 2 の半導体装置のゲート電極の周囲には、その第 2 の半導体装置のソース、ドレイン拡散層へ通じるコンタクト孔が形成される絶縁膜よりもエッチング速度の遅い絶縁膜が形成されているので、第 2 の半導体装置はセルフアラインド・コンタクト構造のメモリ素子となる。したがって、高速ロジック素子とメモリ素子とを同一の半導体基体上に混載することが可能になる。

【0075】本発明の半導体装置の製造方法によれば、第 1 の半導体装置のゲート電極を構成する半導体膜と、第 2 の半導体装置のゲート電極を構成する半導体膜とを同一の半導体膜で形成し、その同一の半導体膜における第 1 の半導体装置を形成する領域上に、第 2 の半導体装置のゲート電極を構成する膜よりもエッチング速度の遅いエッチングストップ膜を形成するので、第 2 の半導体

装置を形成する領域の半導体膜上に、そのゲート電極を構成するポリサイド構造もしくはポリメタル構造を構成する膜を形成することができる。そして第 1 の半導体装置を形成する領域の半導体膜上をエッチングストップ膜で覆った状態で、第 2 の半導体装置のゲート電極をエッチングにより加工するので、第 2 の半導体装置のゲート電極をポリサイド構造もしくはポリメタル構造に加工することができる。

【0076】しかも、第 1 の半導体装置を形成する領域の半導体膜を加工して第 1 の半導体装置のゲート電極を形成し、第 2 の半導体装置を覆う状態にシリサイド反応を起こさない膜を形成した後、第 1 の半導体装置をサリサイド構造に形成するので、第 1 の半導体装置は、高速ロジック単独で形成した場合と同様の特性を有するものに形成することができる。

【0077】また、第 2 の半導体装置のゲート電極の周囲に、第 2 の半導体装置のソース、ドレイン拡散層へ通じるコンタクト孔が形成される絶縁膜よりもエッチング速度の遅い絶縁膜を形成するので、第 2 の半導体装置はセルフアラインド・コンタクト構造のメモリ素子に形成することができる。

【0078】よって、同一の半導体基体に、高速ロジックとなる第 1 の半導体装置とメモリ素子となる第 2 の半導体装置とを混載することが可能となる。

【図面の簡単な説明】

【図 1】本発明の半導体装置に係わる第 1 の実施の形態を示す概略構成断面図である。

【図 2】本発明の半導体装置に係わる第 2 の実施の形態を示す概略構成断面図である。

【図 3】本発明の半導体装置の製造方法に係わる第 1 の実施の形態を示す製造工程図である。

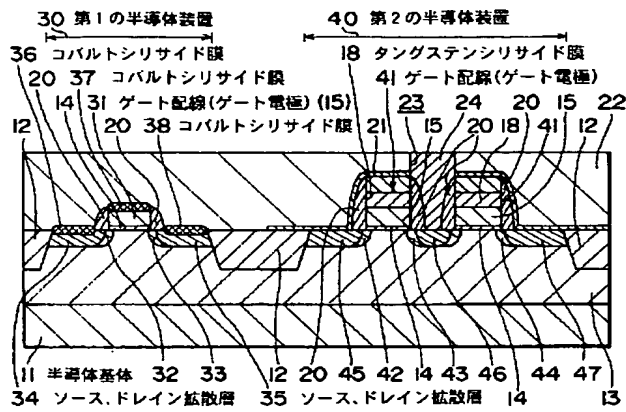
【図 4】本発明の半導体装置の製造方法に係わる第 1 の実施の形態を示す製造工程図（続き）である。

【図 5】本発明の半導体装置の製造方法に係わる第 1 の実施の形態を示す製造工程図（続き）である。

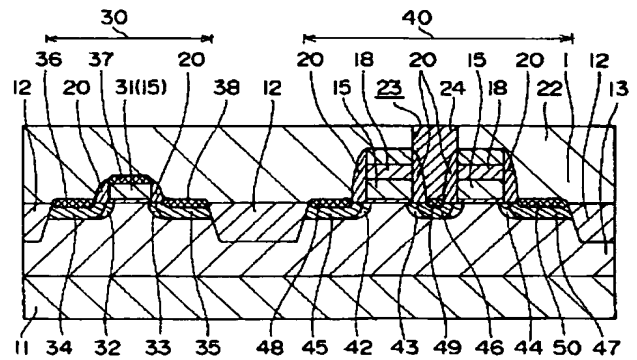
【符号の説明】

11…半導体基体、18…タングステンシリサイド膜、31、41…ゲート配線（ゲート電極）、34、35…ソース、ドレイン拡散層、36、37、38…コバルトシリサイド膜、30…第 1 の半導体装置、40…第 2 の半導体装置

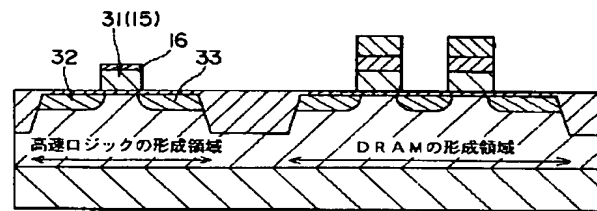
【図1】



【図2】

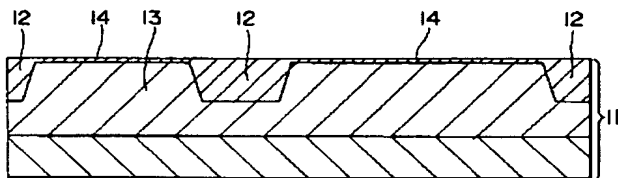


【図4】

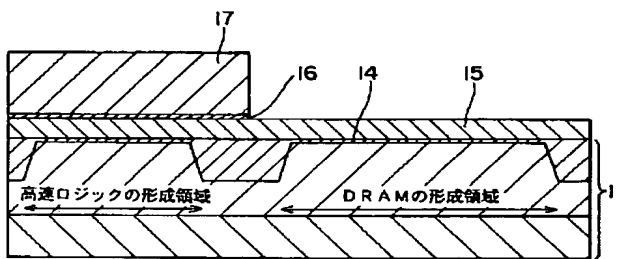


(4)

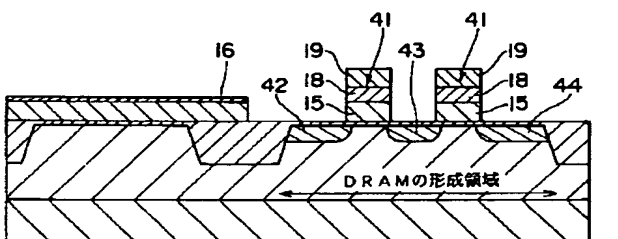
【図3】



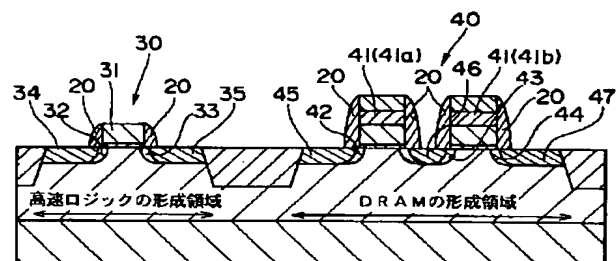
(1)



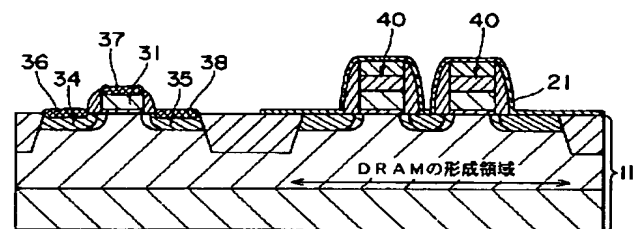
(2)



(3)

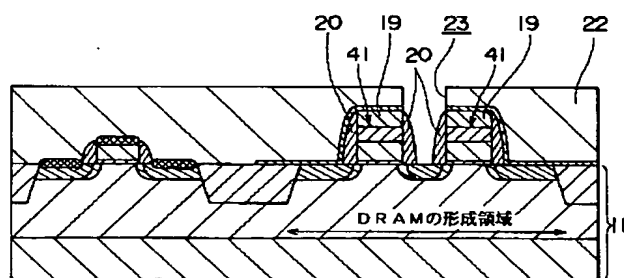


(5)

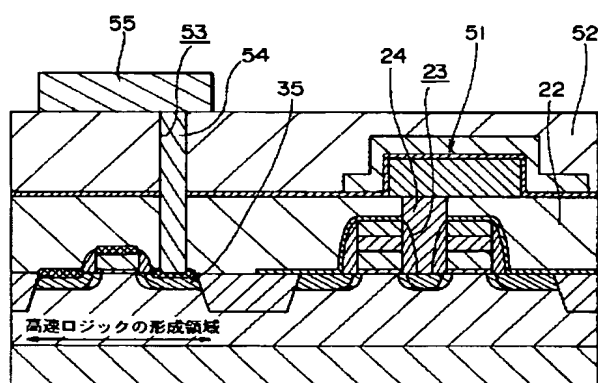


(6)

【図5】



(7)



(8)

フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L 27/11		H 0 1 L 27/10	3 8 1
27/10	4 8 1		6 8 1 F
27/108			
21/8242			

F ターム (参考) 4M104 AA01 BB01 BB19 CC01 CC05  
DD02 DD43 DD72 DD84 FF14  
GG14 GG16  
5F048 AA09 AB01 AB03 AC01 BA01  
BB05 BB08 BB09 BB10 BC06  
BF06 BF07 BG14 DA27  
5F083 AD01 AD10 AD49 BS05 BS17  
BS19 BS23 BS26 BS40 JA32  
JA35 MA03 MA06 NA01 PR03  
PR07 PR21 PR22 PR29 PR36  
PR40 PR45 ZA05